



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 102 50 575 A1 2004.05.19

(12)

Offenlegungsschrift

(21) Aktenzeichen: 102 50 575.6

(22) Anmeldetag: 30.10.2002

(43) Offenlegungstag: 19.05.2004

(51) Int Cl.⁷: **H01L 29/739**

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

Müller - Hoffmann & Partner Patentanwälte, 81667 München

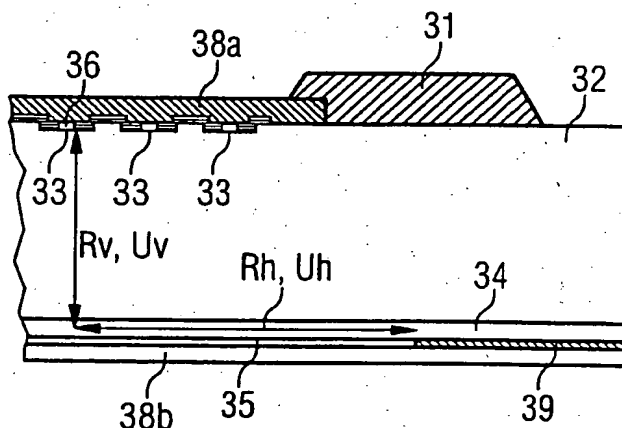
(72) Erfinder:

Willmeroth, Armin, 86163 Augsburg, DE; Schulze, Hans-Joachim, 85521 Ottobrunn, DE; Huesken, Holger, 81547 München, DE; Griebel, Erich, 84405 Dorfen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: IGBT mit monolithisch integrierter antiparalleler Diode

(57) Zusammenfassung: Die Erfindung betrifft einen IGBT mit monolithisch integrierter antiparalleler Diode, bei dem die Diodenkathode durch mindestens ein Emittershortgebiet (39) gebildet ist, das im Wesentlichen ausschließlich im Bereich des Hochvoltrands (31) liegt, so dass p-Emittergebiete (35) des IGBTs im Wesentlichen keine Emitter-Shorts aufweisen. Die Gegenelektrode der Diode besteht erfindungsgemäß ausschließlich aus p-Halbleiterwannen (33) auf der Vorderseite des Bauteils. Besonders bei Anwendungen, wie zum Beispiel Lampballast, bei denen die Diode des IGBTs zunächst im Durchlass betrieben wird, kein hartes Kommutieren erfolgt und die Stromumkehr relativ langsam vonstatten geht, können die Emittershortgebiete (39) als Streifen oder als Punkte unter dem Hochvoltrand ausgeführt sein. Diese Maßnahmen erhöhen den horizontalen Bahnwiderstand und verringern dadurch den Snap-back-Effekt bei einem IGBT, ohne dass die Robustheit im Randbereich vermindert wird. Gemäß einem zweiten Aspekt kann ein erfindungsgemäßer IGBT mit einer integrierten antiparallelen Diode in einer Dünnschichttechnologie hergestellt werden, mit der die Dicke des die Innenzone definierenden Substrats kleiner als 200 μm und die Dicke des Emittershortgebiets bzw. der Emittershortgebiete und des bzw. der Emittershortgebiete weniger als 1 μm beträgt. Zu bevorzugen ist dann ein transparenter Emmitter.



Beschreibung

[0001] Die Erfindung betrifft einen IGBT (Bipolartransistor mit isoliertem Gate) mit monolithisch integrierter antiparalleler Diode gemäß dem Oberbegriff der unabhängigen Patentansprüche 1 und 12.

[0002] Ein derartiger IGBT ist zum Beispiel in Proceedings of 1990 International Symposium on Power Semiconductor Devices and ICs, Tokyo auf den Seiten 131 bis 136 unter dem Titel: "EFFECTS OF SHORTED COLLECTOR ON CHARACTERISTICS OF IGBTs" von J. Akiyama et al. beschrieben.

[0003] Bei dem in diesem Artikel beschriebenen IGBT sind streifenförmige Emitter- (bzw. Kollektor-)Shortgebiete gebildet, die in einem Winkel von 45° zur ebenfalls streifenförmigen Zellstruktur gedreht sind. Die Emittershortgebiete werden im folgenden auch kurz als Emitter-Shorts bezeichnet.

[0004] Allgemein werden für die Realisierung eines IGBTs mit antiparallel geschalteter Diode im Stand der Technik folgende Möglichkeiten vorgeschlagen:

(a) In einem ersten Konzept werden ein IGBT und eine Diode separat in einem Gehäuse untergebracht. Damit liegt keine monolithische Integration vor. Vorteilhaft dabei ist aber, dass die jeweiligen Technologien für den IGBT und die Diode unabhängig voneinander entwickel- und optimierbar sind. Ein Nachteil liegt darin, dass eine größere Chipfläche erforderlich ist, da für den IGBT und die Diode jeweils ein Hochvoltrand benötigt wird, dieser also zweimal vorhanden sein muss. Außerdem liegen durch die separate Ausführung ein größerer Montageaufwand und ein höherer Bauelementeausschuss vor. Schließlich ist noch bei kleinen Chips, wenn insbesondere die Diode nur eine geringe Stromtragfähigkeit benötigt, die minimale Chipgröße durch die Montage und/oder den Radius des Hochvoltrands begrenzt.

(b) In einem zweiten Konzept zur Realisierung eines IGBTs mit antiparallel geschalteter Diode wird die Diode mit einer Driftzone unter dem Hochvoltrand des IGBTs integriert. Derartige IGBT-Strukturen mit integrierter antiparalleler Diode sind in US 5 475 243 und US 6 222 248 beschrieben. Die Fig. 1A und 1B zeigen in einer Draufsicht bzw. einer Detaildarstellung eines schematischen Querschnittes eine solche IGBT-Struktur mit einem IGBT 10, der unter einer oberen Metallisierungslage 18 aus Aluminium p-leitende Bereiche 16 von Transistorzellen (IGBT-Kathoden), die die Anode der Diode bilden, innerhalb eines durch einen ringförmigen Hochvoltrand 11 umgebenen Gebiets aufweist. Ein p-leitender Emitter 15 des IGBTs 10 ist auf der Chipunterseite vorgesehen, und die n-leitende Kathode 17 der Diode ist außerhalb des Hochvoltrands 11 gelegen und bildet einen Anodenemitter. Um letzteren auf Kollektorpotential zu legen, verbindet ein Bonddraht 13 von außerhalb des Hochvoltrandes 11 diesen mit einem Leadframe (Leiterrahmen). Ein Doppelpfeil

gibt den Verlauf des Diodenstromes an. Der Vorteil des Konzepts (b) ist die monolithische Integration der Diode, wobei nur ein Hochvoltrand benötigt wird. Ein Nachteil besteht insbesondere bei großen Chips darin, dass die Diode nur kleine Ströme aufgrund des Verhältnisses von Randlänge zu Diodenfläche leiten kann. Ferner ist der zusätzliche Bonddraht 13 erforderlich, was den Montageaufwand erhöht.

(c) In einem dritten Konzept ist die antiparallel geschaltete Diode in einer Unterbrechung des p-leitenden Emitters auf der Chipunterseite in integrierter Weise realisiert. Diese Ausführung kann noch mit speziell gestalteten Diodenbereichen auf der Chipvorderseite kombiniert werden. Eine solche, dem Oberbegriff des vorliegenden Patentanspruchs 1 entsprechende bekannte Gestaltung mit einer bei Thyristoren schon seit längerem üblichen "Emittershortung" (vgl. hierzu auch US 6 271 545 B1, US 5 284 780, US 5 105 244, US 5 702 961 und US 5 141 889) ist in der oben schon erwähnten Druckschrift: "EFFECTS ON SHORTED COLLECTOR ON CHARACTERISTICS OF IGBTs" erläutert und in den Fig. 2A und 2B dargestellt. In der Oberseite eines Chips 20 liegen unter einer Metallisierung 28 und einer in Fig. 2A nicht näher dargestellten Isolierschicht 12 abwechselnd Transistorzellen 26 und Diodenzellen 27 (letztere optional). Die Transistorzellen 26 sind in der in Fig. 2B gezeigten üblichen Weise aufgebaut und umfassen in der n-leitenden Innenzone des Chips 20 eine p-leitende Wanne bzw. Bodyzone 23, eine n-leitende Sourcezone 24 und eine Gateelektrode 14. Die gesamte Chiprückseite ist von abwechselnden streifenförmigen p-leitenden Emittoren 25 des IGBTs und von streifenförmigen n-leitenden Emitter-Shorts 29 bedeckt. Vorteile dieses Konzepts (c) bestehen in der monolithischen Integration und in einer praktisch beliebigen Einstellbarkeit der Stromtragfähigkeit der Diode im Verhältnis zur Stromtragfähigkeit des IGBTs. Ein Nachteil ist allerdings, dass eine größere Chip-Fläche notwendig ist, um gleich gute Kollektor-Emitter-Spannungen V_{ce} im Sättigungsfall zu erreichen, da die Emitter-Shorts nicht emittieren und deren Flächenanteil für den IGBT-Betrieb praktisch verloren geht. Ein weiterer Nachteil besteht in einer ausgeprägten "Snapback"-Kennlinie nach dem Einschalten von 0 V aus, insbesondere bei Realisierung eines Feldstoppbauteils. Als weiterer Nachteil kommt die zur Bildung der Emittershots vorzunehmende Rückseitenfototechnik hinzu, bei der zudem die Emittershots zur IGBT-Diodenvorderseite justiert werden müssen.

[0005] Angesichts der obigen Nachteile des Standes der Technik ist es Aufgabe der Erfindung, einen gattungsgemäßen IGBT mit monolithisch integrierter antiparalleler Diode zu realisieren, der insbesondere für eine verhältnismäßig geringe Diodenstromtragfähigkeit

higkeit geeignet ist.

[0006] Diese Aufgabe wird bei einem IGBT nach dem Oberbegriff des Patentanspruchs 1 bzw. 12 erfindungsgemäß durch die in den jeweiligen kennzeichnenden Teilen angegebenen Merkmale gelöst.

[0007] Gemäß einem ersten Aspekt ist ein gattungsgemäßer IGBT dadurch gekennzeichnet, dass das bzw. die Emittershortgebiet(e) nur im Bereich des Hochvoltrands integriert ist bzw. sind, so dass die Emittergebiete innerhalb des Hochvoltrands keine Emittershort aufweisen und dass die Gegenelektrode der antiparallelen Diode ausschließlich durch Halbleiterwannen auf der Vorderseite des Chips gebildet ist.

[0008] Bei einem Ausführungsbeispiel des erfindungsgemäßen IGBTs kann das bzw. können die Emittershortgebiet(e) in den Randbereichen des IGBTs über den Hochvoltrand nach außen bis zum Chipende reichen.

[0009] Bei einem bevorzugten Ausführungsbeispiel des erfindungsgemäßen IGBTs sind alle Emittergebiete zusammenhängend integriert, und die Emittershortgebiete sind inselförmig gebildet.

[0010] Die Emittershortgebiete können streifenförmig integriert sein, beispielsweise in Form ringförmiger Streifen, die ein zusammenhängendes inneres Emittershortgebiet ringförmig umgeben. Die Streifen können dabei auch schräg, beispielsweise unter einem Winkel von 30°, zum Hochvoltrand verlaufen. Bei einem anderen Beispiel können alle Emittershortgebiete punktförmig integriert sein. Dabei kann eine Vielzahl von punktförmigen Emittershortgebieten ein zentrales zusammenhängend integriertes Emittershortgebiet ringförmig umgeben. Alternativ können auch nur ein oder zwei Emittershortgebiete punktförmig integriert sein. Es sind selbstverständlich auch noch andere Gestaltungen der Emittershortgebiete in Bezug auf das Emittershortgebiet möglich.

[0011] Gemäß einem zweiten Aspekt ist ein gattungsgemäßer IGBT dadurch gekennzeichnet, dass die Emittergebiete und die Emittershortgebiete weniger als 1 Mikrometer dick sind und die Emittergebiete mit einer Dosis zwischen $1 \cdot 10^{12}$ und $1 \cdot 10^{15} \text{ cm}^{-2}$ dotiert sind. Vorzugsweise beträgt die Lebensdauer der Minoritätsladungsträger im Halbleitersubstrat mindestens 10 μs .

[0012] Ein derartiger IGBT kann in Dünnschichttechnologie hergestellt werden (vgl. EP 0 330 122 B1, die einen IGBT mit transparentem Emittershort beschreibt). Bei dieser Realisierungsform des erfindungsgemäßen IGBTs ist die durch das Substrat gebildete Innenzone weniger 200 μm dick.

[0013] Die Emittershortgebiet(e) können auch nicht justiert zu den Transistorzellen integriert sein. Dies gilt selbstverständlich für beliebig gestaltete Emittershort, also beispielsweise für Streifenform und für Punktförmig.

[0014] Vorzugsweise bei der dem zweiten Aspekt der Erfindung entsprechenden IGBT-Struktur ist ein Feldstoppgebiet des zweiten Leitungstyps zwischen

dem die Innenzone bildenden Substrat und dem bzw. den Emittershortgebiet(en) und dem bzw. den Emittershortgebiet(en) integriert.

[0015] Bei einem Ausführungsbeispiel des erfindungsgemäßen IGBTs ist der erste Leitungstyp der p-Leitungstyp und der zweite Leitungstyp der n-Leitungstyp.

[0016] Bei einem erfindungsgemäßen IGBT ist das die Innenzone bildende Substrat schwach dotiert, und das bzw. die Emittershortgebiet(e) ist bzw. sind mit einer wesentlich höheren Dotierungskonzentration als die Innenzone dotiert.

[0017] Der erfindungsgemäße IGBT kann insbesondere dort vorteilhaft eingesetzt werden, wo die geforderte Stromtragfähigkeit der Diode geringer ist als die des IGBTs. Beispiele hierfür sind Lampballastanwendungen und SMPS-Anwendungen (SMPS = Switch Mode Power Supply). Hierbei wird die hohe Stromtragfähigkeit des IGBT, die im Vergleich mit einem MOSFET mit einer kleineren Siliziumfläche und wesentlich geringeren Herstellungskosten erreicht wird, mit den Vorteilen der eine integrierte Rückwärtsdiode des MOSFETs bildenden antiparallel geschalteten integrierten Diode kombiniert.

Ausführungsbeispiel

[0018] Die obigen und weitere vorteilhafte Merkmale werden aus der nachfolgenden, auf die Zeichnung bezogenen, Beschreibung von erfindungsgemäßen Ausführungsbeispielen eines IGBTs noch deutlicher. In der beiliegenden Zeichnung zeigen im Einzelnen:

[0019] Fig. 1A und 1B jeweils eine Draufsicht und eine Teil-Querschnittsdarstellung eines bereits beschriebenen bekannten IGBTs;

[0020] Fig. 2A und 2B einen Querschnitt und eine Detaildarstellung eines weiteren bekannten IGBTs;

[0021] Fig. 3A und 3B jeweils in Draufsicht und in einem schematischen Querschnitt ein erstes Ausführungsbeispiel eines erfindungsgemäßen IGBTs;

[0022] Fig. 4A, 4B, 4C, 4D, 4E und 4F jeweils Draufsichten auf sechs weitere alternative Ausführungsbeispiele eines erfindungsgemäßen IGBTs und

[0023] Fig. 5A und 5B graphisch das Verhalten des Kollektorstroms abhängig von der Kollektorspannung einerseits bei einem im Durchlass betriebenen IGBT mit großer Emittershortung jeweils mit einem starken Feldstopp, schwachem Feldstopp und ohne Feldstopp und andererseits bei einem im Durchlass betriebenen IGBT mit Feldstopp jeweils bei einem kleinen Shortabstand, bei einem großen Shortabstand und ohne Emittershort.

[0024] In Fig. 3A und 3B sind in Form einer schematischen Draufsicht und eines schematischen Querschnitts ein erstes Ausführungsbeispiel eines erfindungsgemäßen IGBTs 30 mit monolithisch integrierter antiparalleler Diode veranschaulicht. Auf der Oberseite eines schwach dotierten n-leitenden Innenzone bildenden Substrats 32 liegen nebeneinander beispielsweise streifenförmig angeordnete Tran-

sistorzellen 36 jeweils innerhalb von p-leitenden Wannen 33. Die Transistorzellen 36 sind in gleicher Weise wie die Transistorzellen 26 (vgl. Fig. 2B) aufgebaut. Es ist aber nicht zwingend erforderlich, dass alle Wannen 33 wie die Wannen 23 Sourcezonen enthalten und damit Transistorzellen 36 bilden. Vielmehr können auch einzelne Wannen 33 ohne Sourcezonen vorgesehen sein. Der aktive Bereich des IGBT ist mit einer Metalllage 38a abgedeckt und zum Chiprand hin von einem ringförmigen Hochvoltrand 31 nach außen umgeben. Auf der Rückseite des IGBTs ist ein pleitendes Emittergebiet 35 angeordnet. Das p-leitende Emittergebiet 35 ist bis in den Bereich unterhalb des Hochvoltrandes 31 ausgedehnt. Eine Elektrode der monolithisch integrierten antiparallelen Diode ist in Form eines n-leitenden Emittershortgebietes 39 gebildet, das vorzugsweise bis zum Außenrand des Bauteils hin an das Emittergebiet 35 anschließt. Dieses Emittershortgebiet 39 erstreckt sich nur im Bereich des Hochvoltrandes 31, und die Emittergebiete 35 weisen keine Emitter-Shorts auf, wie dies in Fig. 3B gezeigt ist. Die Gegenelektrode der Diode ist ausschließlich durch die Halbleiterwannen 33 auf der Vorderseite des Chips gebildet. Diese Wannen 33 müssen aber nicht alle Sourcezonen aufweisen. Es ist vielmehr ausreichend, wenn der überwiegende Teil der Gegenelektrode durch Halbleiterwannen mit Sourcezone gebildet wird. Unter "überwiegendem Teil" sind dabei 80 % der Fläche der Gegenelektrode und mehr und vorzugsweise 90% dieser Fläche und mehr zu verstehen.

[0025] Das Emittershortgebiet 39 kann sich über den Hochvoltrand 31 hinaus bis an den Rand des Bauteils erstrecken, wodurch die Notwendigkeit für eine genaue Justierung entfällt. Das Emittergebiet 35 kann wenigstens teilweise auch in den Bereich des Hochvoltrandes 31 des Bauelements ausgedehnt sein (vgl. Fig. 3B), so dass auf diese Weise auch aus diesem Bereich Beiträge zur Anhebung der Konzentration freier Ladungsträger im Durchlasszustand des IGBTs erhalten werden. Um jedoch im Sperrzustand den anodenseitigen Verstärkungsfaktor im Bereich des Hochvoltrandes 31 des IGBTs zu reduzieren und die freien Ladungsträger besser ausräumen zu können, geht das Emittershortgebiet 39 bis an den Rand des Bauteils, wie dies bereits oben erwähnt wurde.

[0026] Fig. 3A zeigt einen im Zentrum des Bauteils gelegenen Punkt X. Verglichen mit dem eingangs anhand der Fig. 2 beschriebenen bekannten IGBTs ist der horizontale Bahnwiderstand R_h vom Punkt X zum Emittershortgebiet 39 wesentlich größer. Bei steigender Vorwärtsspannung wird die IGBT-Zündspannung U_v von 0,7 V zuerst am Punkt X erreicht, wobei die Strom/Spannungskennlinie des Bauteils von der MOS-Kennlinie auf die IGBT-Kennlinie zurückspringt (Snapbackpunkt gemäß den Fig. 5A und 5B). Der Abstand zwischen dem Punkt X und dem Emittershortgebiet 39 sollte besonders groß sein, damit die Zündung bei einem möglichst niedrigen Strom erfolgt.

[0027] Eine eventuell vorhandene n^+ -leitende Feldstoppzone 34 zwischen dem Substrat 32 einerseits und den Emittergebieten 35 und dem bzw. den Emittershortgebieten 39 andererseits verringert den horizontalen Bahnwiderstand und erhöht damit den für ein Erreichen der Zündspannung von 0,7 V benötigten Zündstrom. Je höher die Dotierungskonzentration in der Feldstoppzone 34 ist, desto stärker ist der Effekt der Zündstromerhöhung.

[0028] In den Fig. 5A und 5B ist das Snapback-Verhalten von IGBTs mit integrierter Diode dargestellt und zwar in Fig. 5A anhand der I_{CE}/V_{DE} -Durchlasskennlinien (I_{CE} = Kollektor-Emitter-Strom; V_{CE} = Kollektor-Emitter-Spannung) eines IGBTs mit starker Emittershortung, wobei die dünn ausgezogene Kennlinie für einen Transistor mit starkem Feldstopp, die gestrichelte Kennlinie für einen Transistor mit schwachem Feldstopp und die dicke ausgezogene Kennlinie für einen Transistor ohne Feldstopp gelten. Es ist ersichtlich, dass der Snapback-Effekt am ausgeprägtesten bei einem IGBT mit starkem Feldstopp auftritt. Die I_{CE}/V_{CE} -Durchlasskennlinien in Fig. 5B zeigen, wie der Snapback-Effekt mit den durch die Erfindung vorgeschlagenen Maßnahmen verringert werden kann. Zugrunde liegt ein IGBT mit Feldstopp, und die dünn ausgezogene Durchlasskennlinie zeigt, dass der Snapback-Effekt um so geringer wird, je größer der Shortabstand, das heißt der Abstand vom Emittershortgebiet 39 zum Punkt X ist (vgl. die Fig. 3A, 3B und auch die noch zu erläuternden Fig. 4A – 4C).

[0029] Bei dem IGBT 30 können eine oder mehrere der nachfolgenden erfindungsgemäßen Merkmale realisiert werden, mit denen die im Stand der Technik auftretenden Nachteile des Flächenverlusts und der ausgeprägten Snapbackkennlinie vermieden sind:

- (a) Auf der Seite des IGBT-Emittergebiets 35 liegen keine zusätzlichen Diodengebiete. Für den Stromfluss durch die Diode werden nur die eingebauten Kurzschlüsse zwischen den n-leitenden Emittershortgebieten 39 und den pleitenden Wannen 33 in der Oberseite des Bauteils genutzt.
- (b) Auf den im Stand der Technik als Designregel vorgegebenen Abstand zwischen Diodengebiet und IGBT-Gebiet wird verzichtet.
- (c) Die n-leitenden Emittershortgebiete 39, also die Dioden-Kathodengebiete, werden ausschließlich im Bereich unter dem Hochvoltrand 31 integriert.
- (d) Bereiche unter dem Hochvoltrand 31 können zusätzlich zu den n-leitenden Emittershortgebieten 39 auch p-leitende Emittergebiete 35 enthalten.
- (e) Zur schnellen Zündausbreitung im IGBT-Gebiet sind alle pleitenden Emittergebiete 35 des Chips zusammenhängend. Mit anderen Worten, die n-leitenden Emittershortgebiete 39 sind inselförmig.
- (f) Die Anordnung der n-leitenden Emittershortgebiete braucht nicht justiert zu den IGBT-Zellen zu

sein.

[0030] Es gibt Anwendungen, zum Beispiel die oben erwähnte Lampballastanwendung, bei denen zunächst die Diode im Durchlass betrieben und nicht hart kommutiert wird, wobei die Stromumkehr relativ langsam erfolgt. Üblicherweise wird dabei noch im Diodenbetrieb der MOS-Kanal des IGBTs eingeschaltet. In diesem Fall sind die im Diodenbetrieb injizierten Ladungsträger für den Schaltvorgang nützlich, denn sie verringern die Einschaltüberspannung des IGBTs und damit den Snapback-Effekt. Bei einem erfindungsgemäßen IGBT, wie er in Fig. 3B dargestellt ist, verbessert die Einbringung der Emittershortgebiete 39 allein im Bereich des Hochvoltrands 31 die Zündeigenschaften des IGBTs im Vergleich zu einem schachbrettartigen oder streifenförmigen Einbringen von Emittershortgebieten (vgl. Fig. 2). Der Grund dafür ist der im Vergleich zu den schachbrettartigen oder streifenförmigen Emittershortgebieten 29 größere Abstand vom Punkt X zu dem Emittershortgebiet 39 bzw. den Emittershortgebieten und der daraus resultierende größere horizontale Bahnwiderstand. Der Effekt des erhöhten Bahnwiderstands ist oben bereits erläutert worden.

[0031] Ferner trägt die bereits beschriebene Maßnahme, das p-leitende Emittergebiet 35 auch in den Bereich des Hochvoltrandes 31 des Bauelements auszudehnen, um somit auch aus diesem Bereich Beiträge zur Anhebung der Konzentration freier Ladungsträger im Durchlasszustand des IGBTs zu erhalten, zu einer zusätzlichen Minimierung der Durchlassspannung V_{csat} im eingeschalteten Zustand bei. Um im Sperrzustand den anodenseitigen Verstärkungsfaktor im Bereich des Hochvoltrandes 31 des IGBTs 30 zu reduzieren und die freien Ladungsträger besser auszuräumen, können erfindungsgemäß in diesem Bereich die n-leitenden Emittershortgebiete 39 bis zum Rand des Bauteils gehen.

[0032] Fig. 4A zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen IGBTs 40a. Hier sind unter einem Hochvoltrand 41a mehrere, z. B. zwei ringförmige parallel laufende streifenförmige Emittershortgebiete 49a gebildet. Wie oben anhand von Fig. 3B erwähnt wurde, können im Bereich des Hochvoltrands 41a des IGBTs 40a auch p-leitende Emittergebiete 45a liegen.

[0033] Fig. 4B zeigt ein weiteres Ausführungsbeispiel eines IGBTs 40b gemäß der Erfindung. Unter einem Hochvoltrand 41b ist eine Vielzahl punktförmiger n-Emittershortgebiete 49b auf der Bauteilerückseite ringförmig angeordnet.

[0034] Fig. 4C zeigt ein weiteres Ausführungsbeispiel 40c eines erfindungsgemäßen IGBTs mit einem einzigen punktförmigen n-Emittershortgebiet 49c unter dem Hochvoltrand 41c. Durch diese singuläre Anordnung des Emittershortgebiets 49c in einer Ecke des Chips wird der Abstand und damit der Bahnwiderstand R_h zum Punkt X maximal.

[0035] In den Fig. 4D, 4E und 4F sind weitere Aus-

führungsbeispiele eines erfindungsgemäßen IGBT 40d bzw. 40e bzw. 40f dargestellt, bei denen Emittershortgebiete 49d, 49e und 49f nicht justiert zu den auf der Chipoberseite liegenden Transistorzellen integriert sind. Dabei sind in Fig. 4D die Emittershortgebiete 49d streifenförmig nicht justiert und in Fig. 4E die Emittershortgebiete 49e punktförmig nicht justiert integriert.

[0036] Fig. 4F zeigt ein zu Fig. 4D ähnliches Ausführungsbeispiel mit streifenförmigen Emittershortgebieten 49f. Diese Emittershortgebiete 49f verlaufen schräg unter beispielsweise einem Winkel von 30° zu dem Hochvoltrand 41f.

[0037] Bei einem erfindungsgemäßen IGBT mit einer monolithisch integrierten antiparallelen Diode kann somit die Geometrie, insbesondere für Anwendungen, in denen zunächst die Diode im Durchlass betrieben wird, kein hartes Kommutieren erfolgt und die Stromumkehr relativ langsam vonstatten geht (wie zum Beispiel bei Verwendung des IGBTs in Lampballast-Anwendungen), an spezielle Anforderungen angepasst werden. Die gleichzeitige Nutzung der IGBT-Zellen als Dioden-Anode bedeutet eine Flächeneinsparung. Weiterhin erhöht die Beschränkung der Dioden-n-Emitter-Shorts auf den Randbereich des Bauteils den horizontalen Bahnwiderstand, ohne die Steigerung der Robustheit im Randbereich zu vermindern. Wenn keine hohe Stromtragfähigkeit der Diode erforderlich ist, kann der Emitter-Short in einer Chipecke platziert werden, so dass der horizontale Bahnwiderstand maximal wird (vgl. Fig. 4C).

[0038] Gemäß einem zweiten Aspekt kann ein erfindungsgemäßer IGBT mit einer integrierten antiparallelen Diode in einer Dünnschichttechnologie hergestellt sein, bei der die Dicke des die Innenzone definierenden Substrats kleiner als $200 \mu\text{m}$ ist und die Dicke des Emittergebiets bzw. der Emittergebiete und des bzw. der Emittershortgebiete weniger als $1 \mu\text{m}$ beträgt. Die Emittergebiete sind dann mit einer Dosis zwischen $1 \cdot 10^{12}$ und $1 \cdot 10^{15} \text{ cm}^{-2}$ Ladungsträgern dotiert, wobei die Lebensdauer der Minoritätsladungsträger im Substrat 32 mindestens $10 \mu\text{s}$ beträgt. Ein Ausheilen wird nach der Implantation bei Temperaturen unter 600°C vorgenommen. Im übrigen kann der IGBT nach diesem zweiten Aspekt in gleicher Weise aufgebaut sein wie die vorstehend beschriebenen IGBTs der Fig. 3A, 38 und 4A bis 4E.

[0039] Bei dem IGBT nach dem zweiten Aspekt liegt ein sogenannter transparenter Emitter vor. Bei diesem in Dünnschichttechnologie hergestellten IGBT ist ein Feldstoppgebiet 34 besonders vorteilhaft, um den Fluss eines sogenannten "Tailstroms" zu verringern und damit die Abspaltzeit zu verkürzen.

[0040] Die in den oben beschriebenen Ausführungsbeispielen angegebenen Leitungstypen können auch jeweils umgekehrt sein. Es kann also beispielsweise auch von einem p-leitenden Substrat ausgegangen werden. Als Halbleitermaterial für das Substrat können neben Silizium beispielsweise Siliziumcarbid, Verbindungshalbleiter usw. gewählt werden.

Bezugszeichenliste

10, 20	IGBTs mit antiparalleler Diode gemäß des Standes der Technik
11, 21	Hochvoltrand
12	Isolierschicht
13	Bondverbindung zum Leadframe
14	Gateelektrode
15, 25	IGBT und p-Emittergebiete
16, 26	p-Gebiete der Transistorzellen auf der Bauteilvorderseite
17, 27	n-Diodenkathode und optionale Diodenzellen auf der Bauteilvorderseite
18, 28	Aluminiummetallisierung auf der Bauteilvorderseite
vorderseite	
24	Sourcezone
30, 40a, 40b, 40c, 40d, 40e, 40f	IGBT gemäß der Erfindung
31, 41a, 41b, 41c, 41d, 41e, 41f	Hochvoltrand
32	Innenzone (niedrig dotiertes Substrat)
23, 33	p-Wannen auf der Bauteilvorderseite
34	Feldstopp
35, 45a, 45b	p-Emittergebiet(e)
36	Transistorzellen
38a, 38b	Aluminiummetallisierung auf der Bauteilvorder- und -rückseite
39, 49a, 49b, 49c, 49d, 49e, 49f	n-Emittershortgebiet bzw. -gebiete auf der Bauteilerückseite
I _{ce}	Kollektorstrom
V _{ce}	Kollektorspannung
R _h	horizontaler Bahnwiderstand
Uh	horizontaler Spannungsabfall am jeweiligen Bahnwiderstand

Patentansprüche

1. IGBT mit monolithisch integrierter antiparalleler Diode, bei dem auf der Vorderseite eines eine Innenzone bildenden Halbleitersubstrats (32) Halbleiterwannen (33) eines ersten Leitungstyps (p) Transistorzellen (36) innerhalb eines umlaufenden Hoch-

voltrands (31) liegen, wobei die Halbleiterwannen mindestens überwiegend Transistorzellen (36) enthalten, und bei dem auf der Rückseite des Halbleitersubstrats (32) wenigstens ein Emittergebiet (35) des ersten Leitungstyps (p) angeordnet ist, wobei eine Elektrode der Diode in Form wenigstens eines in der Ebene des wenigstens einen Emittergebiets (35) liegenden Emittershortgebiets (39, 49a, 49b, 49c, 49d, 49e) des zweiten Leitungstyps (n) gebildet ist, **dadurch gekennzeichnet**, dass das wenigstens eine Emittershortgebiet (39, 49a, 49b, 49c, 49d, 49e) nur im Bereich des Hochvoltrands (31) integriert ist, dass das wenigstens eine Emittergebiet (35) innerhalb des Hochvoltrands keine Emittershortgebiete (39, 49a, 49b, 49c, 49d, 49e) aufweist, und dass die Gegenelektrode der antiparallelen Diode durch die Halbleiterwannen (33) auf der Vorderseite gebildet ist.

2. IGBT nach Anspruch 1, dadurch gekennzeichnet, dass das wenigstens eine Emittershortgebiet (39) in den Randbereichen des IGBTs bis zum Chipende reicht bzw. reichen.

3. IGBT nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Randbereiche des IGBTs im Bereich des Hochvoltrands (31) ein oder mehrere Emittergebiets (35) enthalten.

4. IGBT nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass mehrere Emittershortgebiete (49a, 49b, 49c) vorgesehen sind.

5. IGBT nach Anspruch 4, dadurch gekennzeichnet, dass das wenigstens eine Emittergebiet (35) zusammenhängend integriert ist und dass die Emittershortgebiete inselförmig integriert sind.

6. IGBT nach Anspruch 5, dadurch gekennzeichnet, dass die Emittershortgebiete (49a, 49d, 49f) streifenförmig integriert sind.

7. IGBT nach Anspruch 6, dadurch gekennzeichnet, dass die streifenförmigen Emittershortgebiete (49f) schräg zum Hochvoltrand (41f) verlaufen.

8. IGBT nach Anspruch 6, dadurch gekennzeichnet, dass die Emittershortgebiete (49a) in Form ringförmiger Streifen integriert sind.

9. IGBT nach Anspruch 5, dadurch gekennzeichnet, dass die Emittershortgebiete (49b, 49c, 49e) punktförmig integriert sind.

10. IGBT nach Anspruch 9, dadurch gekennzeichnet, dass die Emittershortgebiete (49b) einen unter dem Hochvoltrand (31) liegenden Ring aus punktförmigen Inseln bilden.

11. IGBT nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das wenig-

tens eine Emittershortgebiet (49d, 49e) nicht justiert zu den Transistorzellen (36) integriert ist bzw. sind.

12. IGBT mit monolithisch integrierter antiparalleler Diode, bei dem auf der Vorderseite eines eine Innenzone bildenden Halbleitersubstrats (32) Halbleiterwannen (33) eines ersten Leitungstyps (p) Transistorzellen (36) innerhalb eines umlaufenden Hochvoltrands (31) liegen, wobei die Halbleiterwannen mindestens überwiegend Transistorzellen (36) enthalten, und bei dem auf der Rückseite des Halbleitersubstrats (32) wenigstens ein Emittergebiet (35) des ersten Leitungstyps (p) angeordnet ist, wobei eine Elektrode der Diode in Form wenigstens eines der Ebene des wenigstens einen Emittergebiets (35) liegenden Emittershortgebiets (39, 49a, 49b, 49c, 49d, 49e) des zweiten Leitungstyps (n) gebildet ist, dadurch gekennzeichnet, dass die Emittergebiets (35) und das wenigstens eine Emittershortgebiet (39) weniger als 1 Mikrometer dick sind und die Emittergebiets (35) mit einer Dosis zwischen $1 \cdot 10^{12}$ und $1 \cdot 10^{15}$ cm^{-2} Ladungsträgern dotiert sind.

13. IGBT nach Anspruch 12, dadurch gekennzeichnet, dass die Lebensdauer der Minoritätsladungsträger im Halbleitersubstrat (32) mindestens 10 μs beträgt.

14. IGBT nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass die Dicke der durch das Substrat (32) gebildeten Innenzone kleiner als 200 μm ist.

15. IGBT nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass ein Feldstoppgebiet (34) des zweiten Leitungstyps zwischen dem Substrat (32) und dem wenigstens einen Emittergebiet (35) und dem wenigstens einen Emittershortgebiet integriert ist.

16. IGBT nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass das die Innenzone bildende Substrat (32) schwach dotiert und das bzw. die die Emittergebiet(e) (35) mit einer gegenüber der Innenzone wesentlich höheren Dotierungskonzentration stark dotiert ist.

17. IGBT nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass das wenigstens eine Emittergebiet bei einer Temperatur unterhalb 600° C ausgeheilt ist.

18. IGBT nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass der erste Leitungstyp der p-Leitungstyp und der zweite Leitungstyp der n-Leitungstyp ist.

Es folgen 4 Blatt Zeichnungen

FIG 1A Stand der Technik

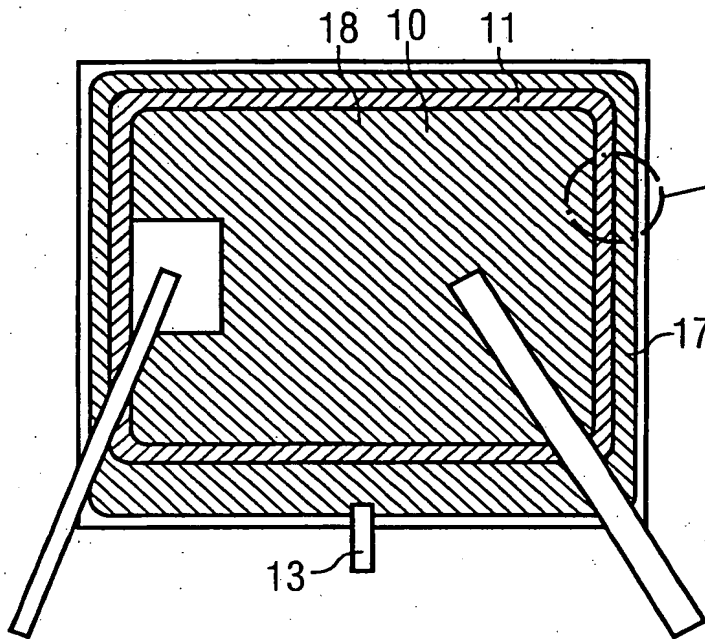


FIG 1B

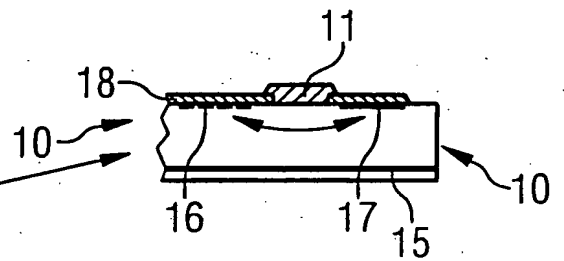


FIG 2A

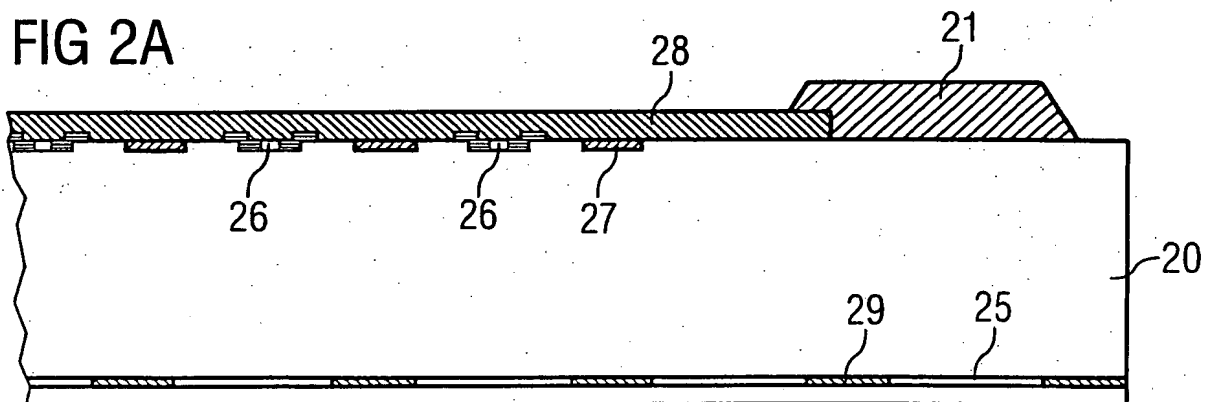


FIG 2B

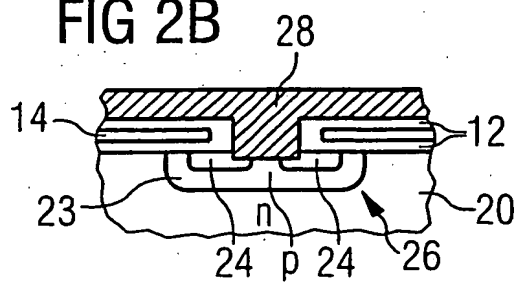


FIG 3A

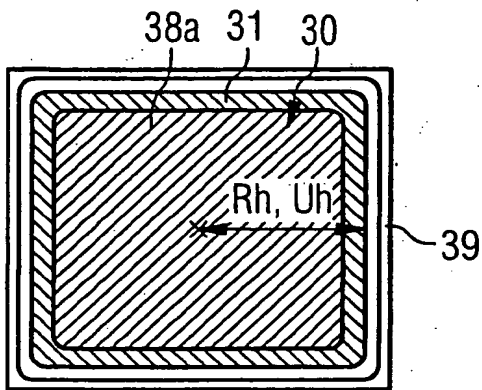


FIG 3B

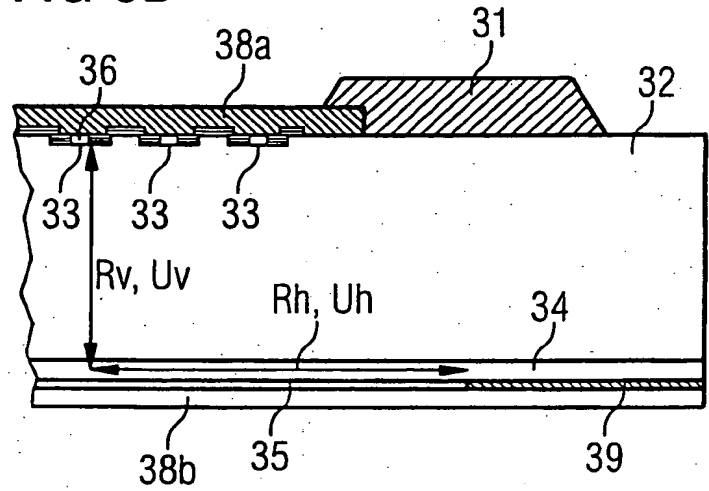


FIG 4A

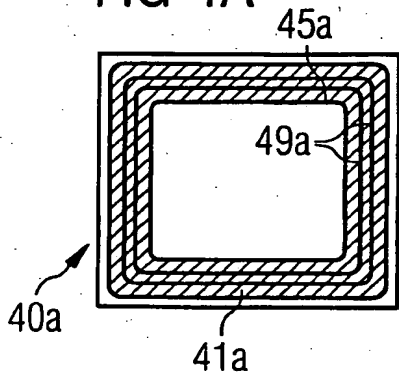


FIG 4B

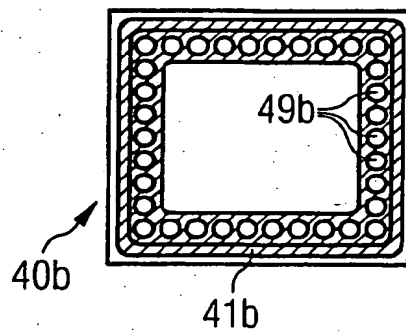


FIG 4C

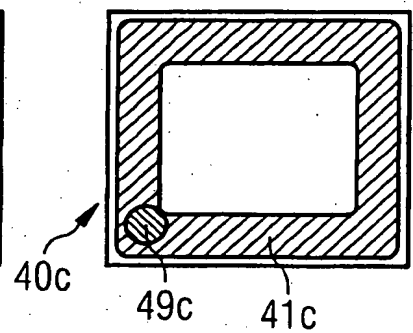
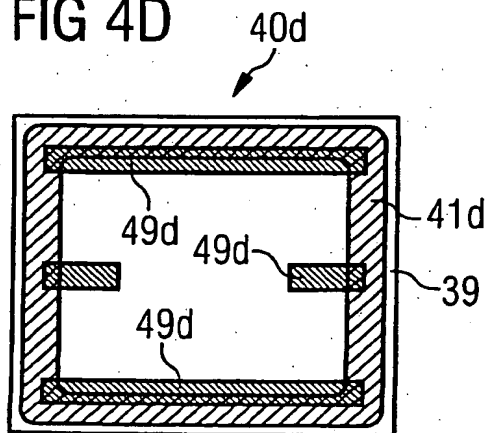
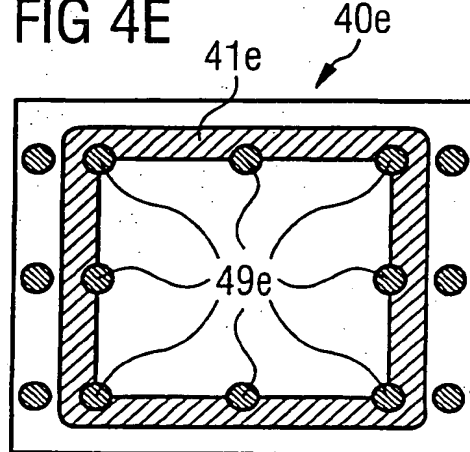


FIG 4D



49d: nicht justiert

FIG 4E



49e: nicht justiert

FIG 4F

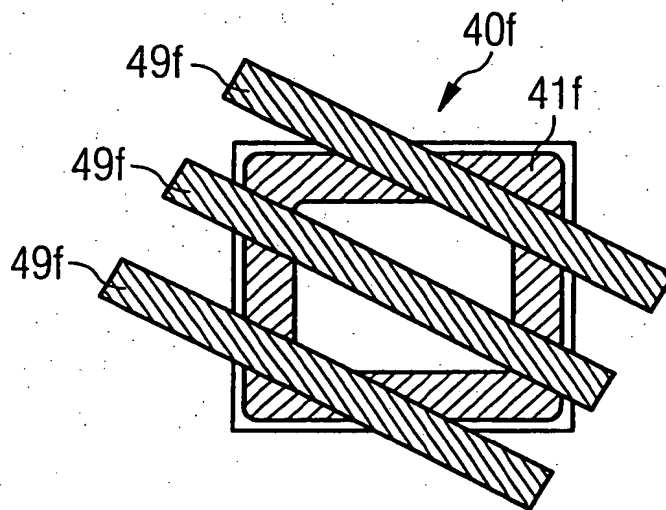


FIG 5A

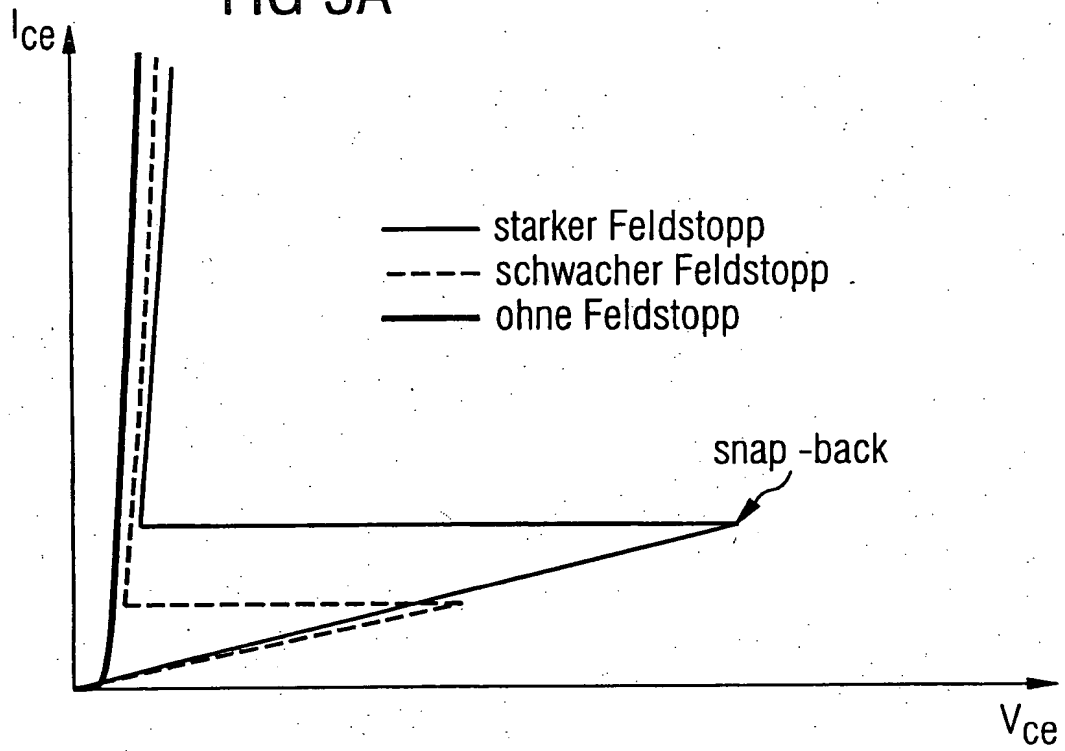


FIG 5B

